

특 1991-0002357

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>5</sup>  
H04Q 11/08

(45) 공고일자 1991년04월20일  
(11) 공고번호 특1991-0002357

(21) 출원번호	특 1988-0001868	(65) 공개번호	특 1989-0013914
(22) 출원일자	1988년02월23일	(43) 공개일자	1989년09월26일
(71) 출원인	삼성전자 주식회사 안시환 경기도 수원시 권선구 매탄동 416번지		

(72) 발명자 박용우  
경기도 수원시 매탄동 주공 1단지 아파트 32동 201호  
(74) 대리인 이건주

심사관 : 김성배 (특허공보 제2258호)

(54) 디지털 교환기의 채널 할당 회로

요약

내용 없음.

도표도

도1

명세서

[발명의 명칭]

디지털 교환기의 채널 할당 회로

[도면의 간단한 설명]

제1도는 종래의 채널 할당 회로도.

제2도는 본 발명에 따른 채널 할당 회로도.

제3도는 제2도의 일실시예의 구체회로도.

제4도는 및 제5도의 제3도의 채널 할당 동작파형도.

\* 도면의 주요부분에 대한 부호의 설명

21 : CPU  
22 : 입출력 제어 신호발생부  
23 : 채널 할당 데이터 래치 및 제어부  
24 : 비교기  
25 : 출력제어부  
26 : 카운터부

[발명의 상세한 설명]

본 발명은 디지털 교환기 가입자회로의 채널 할당 회로에 관한 것으로, 특히 채널 할당을 병렬로 처리도 록 하여 고속으로 가입자의 타임슬롯을 할당하는 채널 할당 회로에 관한 것이다.

일반적으로 TDM(Time Division Multiplexing) 방식을 사용하는 디지털 교환기의 1프레임에는 소정 채널수 의 타임슬롯(Time slot)이 설정되어 있으며, 상기 타임슬롯을 하여 데이터(음성 데이터 또는 비음성 데이 터)를 통신하도록 되어 있다. 32채널 방식의 TDM 디지털 교환기는 하나의 프레임(frame)(125sec)에 32개 의 타임 슬롯(Time slot channel)이 설정되어 있고, 각 채널의 데이터는 8비트로 구성되어 있다. 상기와 같은 32채널 방식의 전송 속도는 2.048Mbps로서 전송클럭은 2.048MHz를 사용하고 있다.

따라서 32채널 방식의 디지털 교환기는 1프레임에 32개의 채널이 설정되어 32가입자의 음성 또는 비음성 데이터를 1프레임에 다중화 할수 있으며, 가입자의 음성 또는 비음성 데이터의 전송은 32채널중 하나의 채널을 할당하여 전송하게 된다.

상기와 같은 TDM디지털 교환기에 있어서 가입자의 데이터를 자기 고유의 채널에 실어 전송하고 수신하기 위해서는 채널 할당 회로(Time Slot Assignment Circuit)가 있어야 하며, 상기 채널 할당 회로는 가입자 회로에 내장되어 가입자와 가입자 상호간 통화가 가능도록 1프레임(32채널)중 자기 고유의 채널을 할당하 는 역할을 한다.

이를 실현하기 위한 종래의 채널 할당 회로는 제1도에 도시한 바와 같이 채널 할당 데이터 및 제어 신호 를 출력하는 CPU(Central Processing Unit)(10)와, 상기 CPU(10)로부터 출력되는 병렬의 채널 할당 데이

타를 상기 신호에 입력하여 직렬 데이터로 변환하고, 제1클럭신호를 발생하는 병/직렬 변환 및 제어 클럭 발생부(11)와, 상기 병/직렬 변환 및 제어클럭 발생부(11)에서 출력하는 제1클럭신호에 의해 상기에서 직렬 변환된 채널 할당 데이터를 병렬 데이터로 변환(복원)하여 출력하고, 제2클럭을 출력하는 병렬변환처리부(12)와, 상기 병렬변환 처리부(12)에서 출력되는 병렬 채널 할당데이터를 상기 제2클럭에 의해 소정 기간 동안 유지 출력하는 래치부(13)와, 시스템 동기신호와 상기 시스템 동기 신호에 동기된 제3클럭 신호를 입력하여 1채널부터 32채널의 데이터를 순차 발생하는 카운터(15)와, 상기 래치부(13)에서 출력하는 채널 할당 데이터와 상기 카운터(15)에서 출력되는 채널 데이터를 비교하여 두 채널 데이터값이 같을 때 해당 채널 할당 신호(channel Assignment signal) (CHA)를 출력하는 비교기(14)로 구성된다.

상기한 제2도의 구성중 점선내에 있는 병렬변환 처리부(12), 래치부(13), 카운터(15), 비교기(14)는 직렬 채널 할당 데이터와 입력에 의해 채널 할당하는 직렬 데이터 채널 할당 회로로서 하나의 칩(one chip)으로 되어 있다. 예를 들면 미합중국에 소재하고 있는 반도체 메이커인 National Semiconductor사의 제품인 TP3155(Time slot Assignment Circuit)에 상기와 같은 회로가 내장되어 있다.

상기 제1도와 같이 구성된 종래의 채널 할당 회로의 동작을 설명한다.

시스템을 제어하는 CPU(10)가 어드레스버스, 제어버스, 데이터버스를 통하여 채널 할당을 하기 위한 어드레스신호, 제어신호 및 병렬의 채널 할당 데이터를 병/직렬 변환 및 제어클럭신호 발생부(11)에 입력시키면, 상기 병/직렬 변환 및 제어클럭신호 발생부(11)는 상기 CPU(10)로부터 출력된 제어 신호에 의해 상기 병렬 채널 할당 데이터를 직렬 채널 할당 데이터로 직렬 변환 출력함과 동시에 제1클럭 신호를 발생하여 직렬 채널 할당 회로의 병렬 변환 처리부(12)에 입력시킨다. 이때 병/직렬 변환 및 제어클럭신호 발생부(11)는 입력된 병렬 데이터를 직렬로 변환하여 직렬 채널 할당 회로내 병렬 변환 처리부(12)로 전송할 때 까지 CPU(10)로 웨이트(Wait) 신호(W)를 출력한다. 따라서 CPU(10)는 출력된 병렬 채널 할당 데이터가 병렬 변환 처리부(12)에 입력완료될 때까지 웨이트 상태로 있게 된다. 한편 직렬로 변환된 채널 할당 데이터를 입력한 병렬변환 처리부(12)는 상기 병/직렬 변환 및 제어클럭신호 발생부(11)로부터 출력되는 제1클럭신호에 의해 상기 입력된 직렬 채널 할당 데이터를 병렬 채널 할당 데이터로 변환하고 제2클럭 신호를 발생하여 이를 래치부(13)로 출력한다. 상기 래치부(13)로 출력한다. 상기 래치부(13)는 상기 병렬 변환 처리부(12)로부터 출력되는 병렬채널 할당 데이터를 상기 제2클럭 신호의 입력에 의해 래치(Latch)하여 비교기(14)에 입력한다.

한편 프레임 동기신호와 제3클럭신호를 입력하는 카운터(15)는 매프레임(1프레임 주기는 125 $\mu$ sec)마다 입력되는 시스템동기 신호에 리셋되어 전후 상기 시스템 동기 신호에 입력되는 제3클럭 신호를 32진 카운팅 하여 32개의 채널 데이터를 출력입력시 마다 비교기(14)로 출력한다.

따라서 비교기(14)는 카운터(15)에서 출력되는 시스템의 채널 데이터와 래치부(13)에서 출력되는 채널 할당 데이터를 입력비교하여 두 채널 데이터의 값이 같을 때 채널 할당신호(Time Slot Assignment Signal)(CHA)를 출력선(16)을 통하여 출력한다.

그러나 상기와 같이 동작되는 종래의 회로는 병렬 변환처리부(12), 래치부(13), 카운터(15), 비교기(14)로 구성된 채널 할당 회로가 직렬의 채널 할당 데이터를 입력하여 채널 할당 신호를 출력하게 되어 있어 CPU(10)로부터 출력되는 병렬의 채널 할당 데이터를 직렬의 채널 할당 데이터로 변환하는 병/직렬 변환 및 제어클럭신호 발생부(11)가 필요했었다. 그리고 채널을 할당 직후 연이어지는 채널을 할당하는 경우 인접 채널간에 여유시간이 없어 신호간의 간섭이 발생되었으며, 상기 CPU(10)의 출력 데이터 처리가 직렬로 변환되어 출력이 완료될때까지 상기 CPU(10)는 대기상태로 있게 되므로 출력한 채널 할당 데이터가 정확한 데이터 인가를 확인할수 없는 문제점이 있었다.

따라서 본 발명의 목적은 디지털 교환기의 가입자회로내에서 채널 할당 데이터를 병렬로 입력 처리하여 간단한 회로의 구성으로 상기 채널 할당 데이터의 이동을 유연함과 동시에 채널 할당을 신속하게 할 수 있는 회로를 제공함에 있다.

본 발명의 또다른 목적은 출력된 채널 할당 데이터의 상태를 확인할수 있는 회로를 제공함에 있다.

이하 본 발명을 첨부한 도면을 참조하여 상세히 설명한다.

제2도는 본 발명에 따른 블록도로서, 도면중의 참조번호 21은 데이터버스를 통해 채널 할당 데이터를 입출력하며, 어드레스버스(ADD) 및 제어버스(CNTS)로 어드레스신호 및 제어신호를 출력하고 시스템 총괄적으로 제어하는 CPU(Central Processing Unit ; Microprocessor)이며, 22은 상기 어드레스신호와 제어 신호를 입력하여 디코딩하고, 상기 디코딩한 신호에 따라 채널 할당 데이터와 라이트(Write) 신호( $\overline{WR}$ )와 리이드(Read) 신호( $\overline{RD}$ )를 발생하는 입출력 제어신호 발생부이고, 23은 상기 입출력 제어신호 발생부(22)의 라이트(Write) 신호( $\overline{WR}$ ) 및 리이드(Read) 신호( $\overline{RD}$ )의 출력에 따라 상기 CPU(21)로 부터 출력되는 채널 할당 데이터를 래치하고, 래치된 채널 할당 데이터를 상기 CPU(21)로 출력하는 데이터 래치 및 제어부이며, 26은 프레임 동기신호(Frame Sync)와 제1클럭(CLKA)을 입력하며, 하나의 프레임 기간내에 입력되는 상기 제1클럭을 32진 카운트하여 32개의 채널 데이터를 인크리스 출력하는 카운터부이고, 24은 상기 채널 할당 데이터 래치 및 제어부(23)로부터 출력되는 채널 할당 데이터와 상기 카운터부(26)로부터 출력되는 채널 데이터를 비교하여 비교값이 같을 때 해당 채널을 할당하는 채널 할당 신호를 출력하는 비교기부이고, 25은 상기 비교기부(24)로부터 출력되는 해당 채널 할당 신호를 상기 채널 할당 데이터 래치 및 제어부(23)의 출력제어 신호와 소정주기를 가지는 제2클럭 신호(CLKB)에 의해 최종 출력을 결정하는 출력제어부이다.

상기한 구성중 프레임 동기신호(Frame Sync)는 프레임의 선두를 나타내기 위한 신호로서 125sec주기마다 488sec기간 동안 "하이" 또는 "로우" 신호를 가지는 신호열이다. 그리고 제1클럭(CLKA)은 1프레임을 32등

분하기 위한 신호로서 3.906sec의 주파수 **(256KHZ DL)**이다. 제2클럭(CLKB)은 시스템 데이터전송

클럭으로서 **2.048MHZ**이다.

제3도는 본 발명에 따른 제2도 블록도의 구체화도로서, 디코더(31)와 (32)는 입출력제어 신호발생부(22)에 대응하고, 래치회로(33)와 버퍼(34)는 채널 할당 데이터 래치 및 제어부(23)에 대응하며, 익스클루시브오아게이트(35-39)와 노아게이트(40)는 비교기부(24)에 대응하고, 카운터(42)와 (43)는 카운터부(26)에 대응하며, 플립플롭(41)과 앤드게이트(44)는 출력제어부(25)에 대응한다.

제4도는 제3도의 일부분의 동작파형도로서, (a)는 프레임 동기신호(Frame Synce) (FS)의 파형이며(b)는 제1

클럭(CLKA)의 입력파형으로서 **(256KHZ DL)**이다. 그리고 (c)(d)(e)(f)(g)는 카운터부(26)의 출력파형이며 (h)는 비교기(24)의 출력 노오드 (X)의 출력 파형도로서, 채널 할당 데이터가 채널인 경우이다.

제5도는 제3도의 일부분의 동작 파형도로서, (A)는 프레임 동기신호(FS)의 파형이고, (B)는 제2클럭단(CLKB)의 입력파형으로서 **2.048MHZ**이며, (C),(D),(E)는 (B)의 제2클럭(CLKB)을 분주한

파형도로서, **1024KHZ, 512KHZ, 256KHZ**이며, (F)는 (E)의 클럭이 위상지연된 것으로

제1클럭(CLKA) **(256KHZ DL)**이다. (G)는 노오드(X)의 출력 파형이고, (H)는 플립플롭(41)의 출력 파형이며, (I)는 앤드게이트(44)의 출력파형이다.

이하 본 발명에 따른 실시예시도인 제3도의 동작예를 제2도 및 제4도, 제5도를 참조하여 상세히 설명한다.

지금 시스템을 총괄적으로 제어하는 CPU(21)가 임의의 가입자의 통화 채널을 할당하기 위한 병렬 채널 할

당 데이터와 어드레스(A0,A1)와 가입제어신호 **(WR)**를 데이터버스, 어드레스버스(ADD), 제어버스(DNTS)를 통해 각각 출력하면, 상기 병렬 채널 할당 데이터는 채널 데이터 래치 및 제어부(23)내 래치회로(33)

에 입력되고, 어드레스(A0,A1) 및 가입제어 신호 **(WR)**는 입출력 제어신호 발생부(22)내 디코더(31)에

입력되어진다. 이때 상기 디코더(31)는 CPU(21)로부터 출력된 가입제어신호 **(WR)**에 의해 인에이블되어 상기 CPU(21)로부터 출력된 어드레스신호(A0,A1)를 디코딩하여 출력하는데, 상기 어드레스신호(A0,A1)가 "00"이라면 래치회로(33)의 클럭단자(CL)에 접속된 출력단자(Y0)로 디코딩 신호를 출력한다.

따라서 상기 래치회로(33)는 데이터 버스를 통해 입력되는 병렬 채널 할당 데이터를 상기 디코더(31)의 디코딩 출력에 의해 래칭(Latching)하여 버퍼(34)의 입력단자(I0-I5)와 익스클루시브오아게이트(이하 "EX-OR"이라 함) (35-39)의 각 일단자에 입력시킨다.

한편, 프레임(125μsec)마다 발생하는 제4도(a)와 같은 프레임 동기신호(FS)와 제4도(b)와 같은 제1클럭(CLKA)을 각각 입력하는 카운터부(26)내 카운터(42)와 상기 카운터(42)에 종속 접속된 카운터(43)은 상기 프레임 동기신호(FS)의 "로우"신호 입력에 의해 클리어되어진 후 차기의 프레임 동기신호(FS)가 입력되는 기간동안 제1클럭(CLKA)을 제4도(c)(d)(e)(f)(g)와 같이 32진 카운팅하여 프레임내 채널 데이터를 EX-OR(35-39)의 각각의 타측단으로 출력한다.

이때 상기 제1클럭(CLKA)은 제5도 (A)와 같은 프레임 동기신호(FS)에 동기되어진 반전된 시스템 클럭 **(2.048MHZ)**인 제2클럭(CLKB)을 제5도(e)와 같이 8분주한 256KHZ의 클럭을 380nsec정도 지연시킨 클럭으로 제5도 (F)와 같다. 따라서 카운터부(26)은 프레임 동기신호(FS)의 구간(125μsec)은 3.906μsec의 주기를 갖는 제1클럭(CLKA)으로서 0부터 31까지 32진 카운팅하여 32채널 데이터를 카운팅 출력하게 된다.

그러므로 상기 EX-OR(35-39)를 각각은 상기 두 입력 단자의 입력신호가 일치 할 때 각각 "로우"신호를 노아게이트(40)로 출력한다.

예컨대, 전술한 CPU(21)가 32채널중 선두 채널인 0채널을 선택하기 위한 병렬채널 데이터(MSB 0 0 0 0 LSB)를 출력하여 상기 래치회로(33)가 이를 래칭한 상태에서, 카운터부(26)가 프레임 동기신호(FS)에 의해 클리어되어 출력단자(Q4-Q0)로 카운팅 데이터 (0 0 0 0 0)를 출력하는 경우라면, 상기 EX-OR(35-39) 각각의 양단자의 입력은 모두 동일하게 된다.(상기 래치회로(33)의 출력중 최상위 비트Q5(MSB)는 출력제어 신호비트이다.) 따라서 상기 EX-OR(35-39)를 각각은 모두 논리 "로우"신호를 노아게이트(40)로 출력하게 된다.

따라서 상기 노아게이트(40)는 제4도(h)와 같이 논리 "하이"를 출력하게 되며, 이는 카운터부(26)의 카운터(42)와 (43)이 제1클럭(CLKA)을 카운팅하여 출력단자(Q4-Q0)로 MSB 00001 LSB(십진수 "1")를 출력할 때까지 제4도(h)와 같이 유지된다.

상기 제4도(h)와 같이 출력되는 노아게이트(40)의 출력은 플립플롭(41)의 입력단자(D)와 앤드게이트(44)로 동시에 입력된다. 이때 상기 플립플롭(41)의 클럭입력단자(CL)에는 프레임 동기신호(FS)에 동기된

시스템 클럭인 제5도(a)와 같은 제2클럭(CLKB) **(2.048MHA)**이 입력되어진다.

따라서 상기 플립플롭(41)은 제5도(g) (제4도 (h)와 동일한 신호임)와 같이 출력되는 노아게이트(40)의 출력을 제5도(b)와 같은 제2클럭(CLK2)으로 클럭킹하여 제5도(h)와 같이 100nsec 정도 지연 출력한다. 그러므로 앤드게이트(44)는 제5도(b)와 같은 노아게이트(40)의 출력과 제5도(h)와 같은 플립플롭(41)의 출력 및 래치회로(33)의 출력단자(Q5)에서 논리"1"로 출력되는 출력제어 신호를 논리곱하여 제5도(i)와 같이 출력한다.

따라서 상기 플립플롭(41)의 동작에 의해 노아게이트(40)의 출력포인트인 X점과 앤드게이트(44)의 출력은 100nsec 정도의 여유가 발생되어 인정하는 채널 지정시(CPU가  $\Phi$ 번 채널과 1번 채널을 순차적으로 할당하는 경우)신호 간섭을 방지할 수 있다.

상기 CPU(21)가 출력된 병렬 채널 할당 데이터의 확인을 원할 경우 어드레스 버스(ADD)와 제어신호 버스(CNTS)를 통해서 어드레스 신호(A0,A1)와 리미드 제어신호( $\overline{RD}$ )를 출력하면 이는 디코더(32)로 입력한다. 이때 디코더(32)는 상기 리미드 제어신호( $\overline{RD}$ )에 의해 인에이블 되어 CPU(21)가 출력한 어드레스(A0,A1)를 디코딩 하여 버퍼(34)의 인에이블 단자( $\overline{OE1}, \overline{OE2}$ )로 "로우"신호를 출력한다. 따라서 입력단자(I0-I6)가 상기 래치회로(33)의 출력단자(Q0,Q5)와 연결된 버퍼(34)는 입력단자(I0-I5)로 입력되는 상기 래치회로(33)의 출력데이터를 출력단자(Y0-Y5)로 출력하여 이를 데이터 버스로 출력한다. 따라서 상기 CPU(21)는 어드레스와 리미드 제어 신호를 출력함으로써 데이터버스를 통해서 이전에 출력한 병렬 채널 할당 데이터를 확인할 수 있다.

상술한 바와같이 본 발명은 디지털 교환기의 가입자 회로내에서 채널 할당 데이터를 병렬로 처리함으로써 간단한 회로의 구성으로 고속으로 채널을 할당할 수 있고, 상기 채널 할당 데이터의 미동을 유연하게 할 수 있는 장점과 출력된 채널 할당 데이터를 확인할 수 있는 잇점이 있다.

### (57) 청구의 범위

#### 청구항 1

데이터 버스로 채널 할당 데이터를 입출력하여 어드레스 버스와 제어버스로 어드레스 신호와 제어신호를 각각 출력하여 채널 할당을 제어하는 CPU(21)를 구비한 디지털 교환기의 채널 할당 회로에 있어서, 제1 및 제2제어 신호를 입력하는 제어단자를 가지고 상기 데이터 버스에 접속되어 상기 데이터 버스를 통해 입력되는 상기 CPU(21)의 채널 할당 데이터를 상기 제어단자로 입력되는 제1제어 신호에 의해 래치하여 출력하고, 상기 제어단자로 입력되는 제2제어신호에 의해 상기 래치된 채널 할당 데이터를 상기 데이터 버스로 출력하는 채널 데이터 래치 및 제어부(23)와, 상기 CPU(21)와 채널 데이터 래치 및 제어부(23)의 제어단자 사이에 접속되어 상기 CPU(21)로부터 출력되는 어드레스와 제어신호를 디코딩하여 제1제어신호와 제2제어신호를 상기 채널 데이터 래치 및 제어부(23)로 출력하는 입출력 제어신호 발생부(22)와, 프레임 동기신호와 제1클럭(CLK1)을 입력하여, 하나의 프레임내 입력되는 상기 제1클럭을 카운트하여 프레임내 32개 채널 데이터를 출력하는 카운터부(26)와, 상기 채널 할당 데이터 래치 및 제어부(23)와 카운터부(26)로부터 각각 출력되는 채널 할당 데이터와 카운팅되는 채널 데이터를 비교하여 두 값이 일치할 때 채널 할당 신호를 출력하는 비교기부(24)와, 입력단자가 상기 비교기부(24)의 출력단자에 접속되어 있으며, 상기 입력단자로 입력되는 채널 할당 신호를 상기 제1클럭(CLK1)과 소정의 위상차를 제2클럭(CLK2)으로 동기 지연하여 출력하는 출력제어부(25)로 구성함을 특징으로 하는 디지털 교환기의 채널 할당 회로.

#### 청구항 2

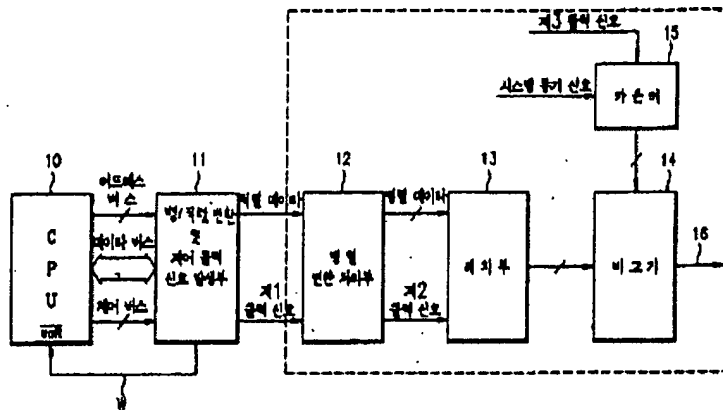
제1항에 있어서, 채널 할당 데이터 래치 및 제어부(23)가 상기 데이터 버스에 입력단자(00-05)가 접속되고 출력단자(00-04)가 비교기부(24)의 하나의 입력단자에 접속되어 상기 입출력단자에 접속되어 상기 입출력 제어신호 발생부(22)의 제1제어신호에 의해 상기 데이터 버스를 통한 채널 할당 데이터를 래치하는 래치(33)와, 상기 래치(33)의 출력을 상기 입출력 제어신호 발생부(22)의 제2제어신호에 의해 인에이블되어 상기 데이터 버스로 출력하는 버퍼(34)로 구성됨을 특징으로 하는 디지털 교환기의 채널 할당 회로.

#### 청구항 3

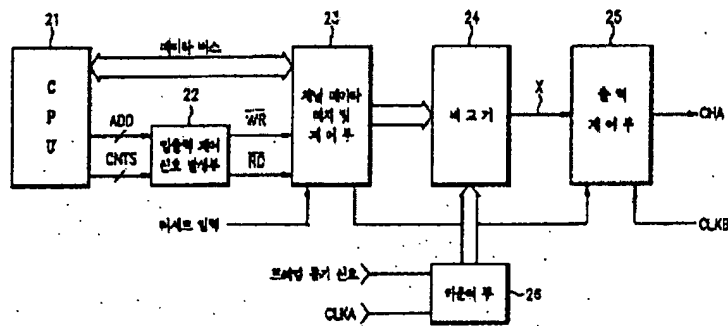
제2항에 있어서, 비교기부(24)가 상기 래치(33)의 출력단자(00-04)에 각각의 일측단자가 접속되고 각각의 타측 단자가 상기 카운터부(26)의 출력단자에 접속되어 각각의 두 단자로 입력되는 신호를 배타적 논리합하는 EX-OR(35-39)와, 상기 EX-OR(35-39)의 출력을 부논리합하여 출력하는 오아게이트(40)로 구성됨을 특징으로하는 디지털 교환기의 채널 할당 회로.

도면

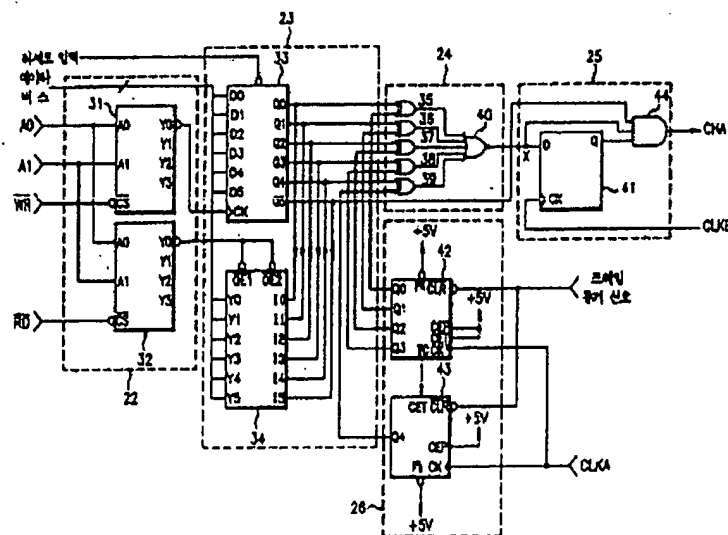
도면1



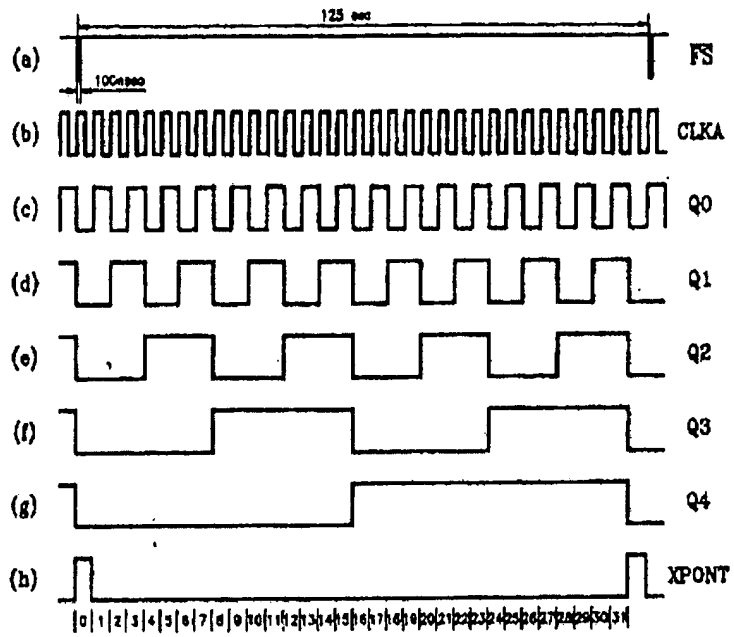
도면2



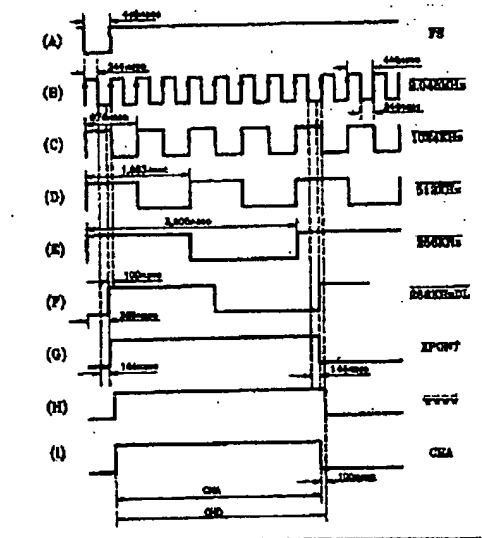
도면3



도 84



도 85



Cited Reference 2

Claim 1

Channel assigning circuit for digital exchange containing an cpu(21) that inputs and outputs channel assigning data via data bus, the circuit comprising:

a channel data latch and control unit (23) for latching the data input through a data bus by a first control signal input through a control input terminal and for transmitting the data through the data bus by a second control signal,

an I/O control signal generator (22) for generating and transmitting the first and the second control signal to the channel data latch and control unit (23),

a counter unit (26) for counting a first clock signal so that 32 channel data can be transmitted during one frame,

and a comparator (24) for transmitting the channel assigned when the channel assigning data and the counted channel data are same.

## Cited Refence 2

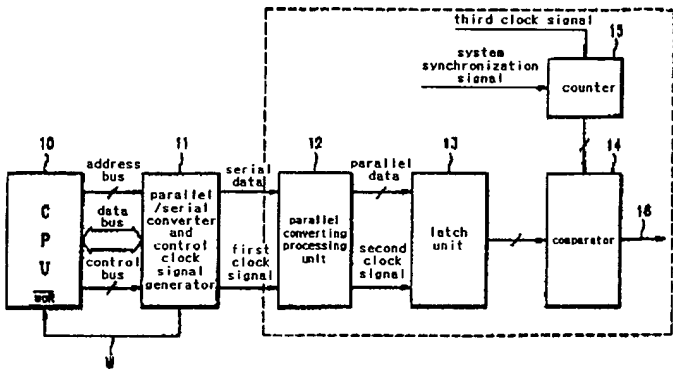
### Abstract

The circuit processes the channel assigning data of a digital exchange in parallel so that the channels are assigned rapidly and the state of channel assigning data is displayed. The circuit includes a channel data latch and control unit (23) for latching the data in put through a data bus by a first control signal input through a control input terminal and for transmitting the data through the data bus by a second control signal, an I/O control signal generator (22) for generating and transmitting the first and the second control signal to the channel data latch and control unit (23), a counter unit (26) for counting a first clock signal so that 32 channel data can be transmitted during one frame, and a comparator (24) for transmitting the channel assigned when the channel assigning data and the counted channel data are same.

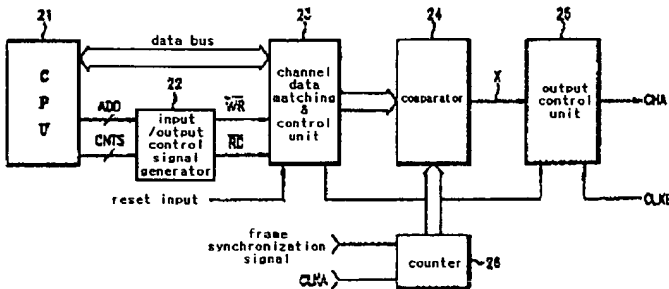


**【the Drawings of Cited Reference 2】**

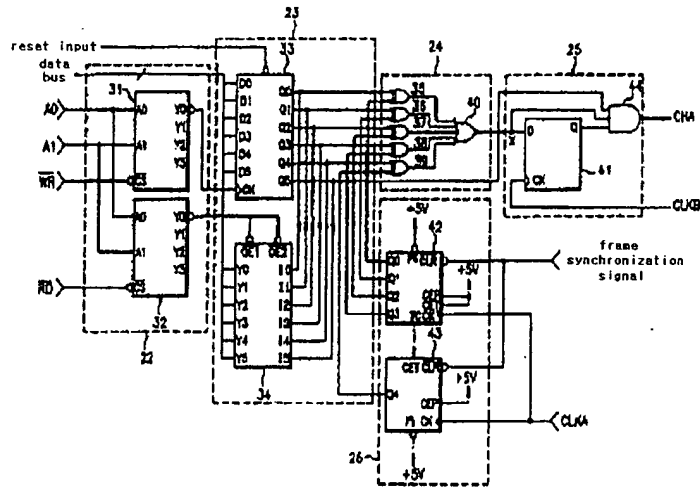
【Fig. 1】



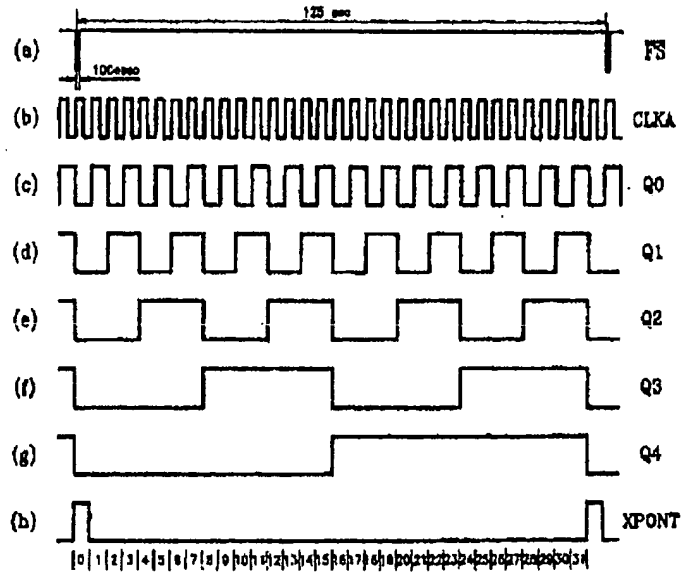
【Fig. 2】



【Fig. 3】



【Fig. 4】



【Fig. 5】

